

**Family list**

2 family members for:

**JP2003315829**

Derived from 2 applications.

**1 PRODUCTION METHOD OF DEVICE, DEVICE AND ELECTRONIC APPLIANCE**

Publication info: JP2003315829 A - 2003-11-06

**2 Method of manufacturing device, device, and electronic apparatus**

Publication info: US2004005739 A1 - 2004-01-08

---

Data supplied from the *esp@cenet* database - Worldwide

# PRODUCTION METHOD OF DEVICE, DEVICE AND ELECTRONIC APPLIANCE

Patent number: JP2003315829

Publication date: 2003-11-06

Inventor: FURUSAWA MASAHIRO

Applicant: SEIKO EPSON CORP

Classification:

- international: G02F1/1362; H01L21/84; H01L27/12; H01L29/786;  
G02F1/13; H01L21/70; H01L27/12; H01L29/66; (IPC1-7): G02F1/1368; G02F1/1335

- european: G02F1/1362B; H01L21/84; H01L27/12; H01L29/786B5

Application number: JP20020119969 20020422

Priority number(s): JP20020119969 20020422

Also published as:

US2004005739 (A)

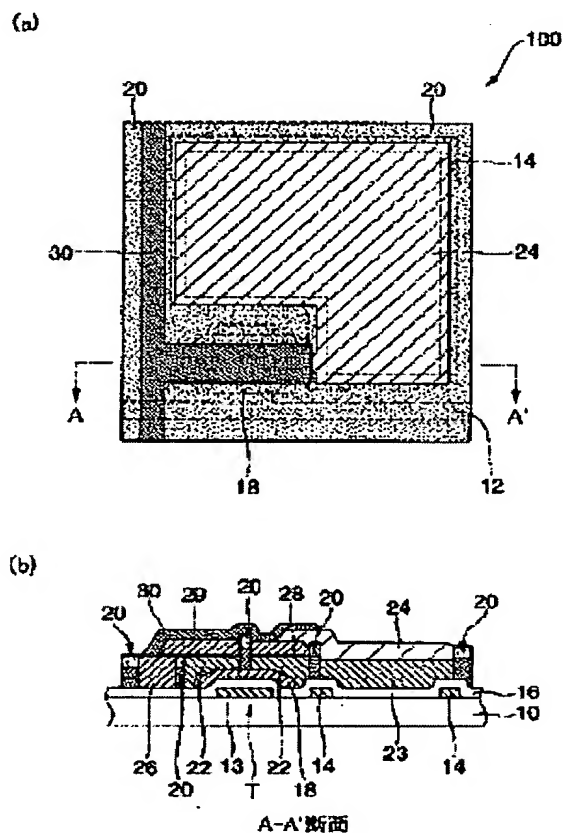
Report a data error he

## Abstract of JP2003315829

**PROBLEM TO BE SOLVED:** To provide a production method of device which enables the reduction of production cost.

**SOLUTION:** A pixel part 100 of a liquid crystal display device contains a thin film transistor T, a source line 26, a color filter 23 and a pixel electrode 24, etc. A polyimide film 20 which surrounds the outer periphery of the region to be occupied by each of a source/drain region 22, the color filter 23 and pixel electrode 24 and the source line 26 with the wall is formed on a glass substrate 10 after forming a gate electrode 13, a gate insulation film 16 and a channel region 18. Liquid material is applied to the region surrounded by the wall of the polyimide film 20, the film-forming is performed after heat treatment and the elements such as the color filter 23 and the pixel electrodes 24 are formed. The polyimide film 20 is given a light shielding property and is allowed to function as a black matrix which intercepts the light through the surrounding of the pixel region.

COPYRIGHT: (C)2004,JPO



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-315829

(P 2 0 0 3 - 3 1 5 8 2 9 A)

(43) 公開日 平成15年11月6日(2003.11.6)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
G02F 1/1368		G02F 1/1368	2H091
1/1335	500	1/1335	2H092
	505		505

審査請求 有 請求項の数27 O L (全16頁)

(21) 出願番号 特願2002-119969 (P 2002-119969)

(22) 出願日 平成14年4月22日(2002.4.22)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 古沢 昌宏

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100079108

弁理士 稲葉 良幸 (外2名)

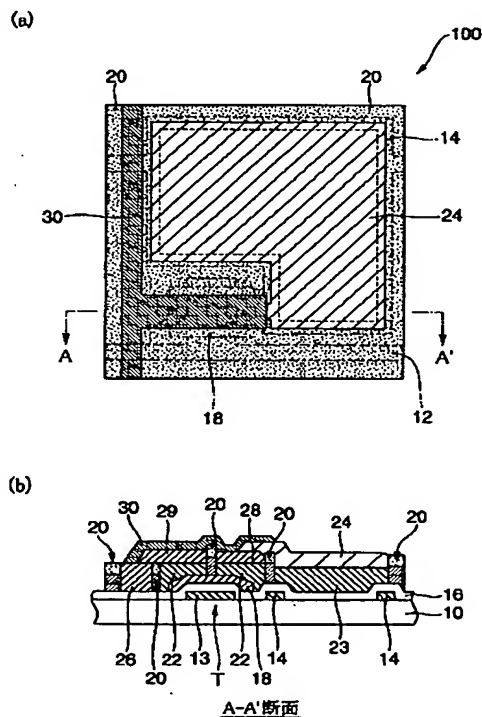
最終頁に続く

(54) 【発明の名称】 デバイスの製造方法、デバイス及び電子機器

(57) 【要約】

【課題】 製造コストを低減することを可能とするデバイスの製造方法を提供すること。

【解決手段】 液晶表示装置の画素部100は、薄膜トランジスタT、ソース線26、カラーフィルタ23、画素電極24などを含む。ゲート電極13、ゲート絶縁膜16及びチャネル領域18を形成した後のガラス基板10上に、ソース/ドレイン領域22、カラーフィルタ23及び画素電極24、ソース線26の各々を形成すべき領域の外周を壁で囲むポリイミド膜20を形成する。ポリイミド膜20の壁によって囲まれた領域に液体材料を塗布し、熱処理を加えて成膜し、カラーフィルタ23や画素電極24などの要素を形成する。ポリイミド膜20に遮光性を持たせ、画素領域の周りを遮光するブラックマトリクスとして機能させる。



## 【特許請求の範囲】

【請求項 1】 少なくともデバイスの一部の要素を液体材料を使用して成膜するデバイスの製造方法であって、基板上にデバイスを構成する複数の要素の領域を割り当てる工程と、

前記複数の要素の領域のうち、少なくとも液体材料を使用する要素の領域の外周を壁で囲むとともに、それ以外の領域を覆う囲繞膜を形成する囲繞膜形成工程と、前記壁によって囲まれた領域に前記液体材料を塗布し、熱処理を加えて成膜する成膜工程と、を含み、前記囲繞膜は、遮光性を有するように形成される、デバイスの製造方法。

【請求項 2】 前記デバイスは、カラーフィルタと画素電極を含んで構成される画素領域を含み、前記囲繞膜形成工程は、前記画素領域を形成すべき第 1 の領域の外周を壁で囲み、それ以外の領域を覆う囲繞膜を形成し、前記成膜工程は、前記第 1 の領域内に、液体材料を用いて前記カラーフィルタ及び前記画素電極を形成する画素領域形成工程を含む、請求項 1 に記載のデバイスの製造方法。

【請求項 3】 前記デバイスは、前記画素電極が形成された前記基板と、対向電極が形成された対向基板を所定間隔で配置し、基板間に液晶層を挟んで構成される液晶表示装置であり、前記囲繞膜形成工程に先立って、前記画素電極と前記対向電極によって前記液晶層に印加された電圧を所定時間だけほぼ一定に維持するための蓄積容量を構成するための容量線を前記基板上に形成する容量線形成工程を更に含み、前記容量線は、前記画素領域とその周囲の前記壁との境界に沿って、前記境界及びその近傍を覆うように形成される、請求項 2 に記載のデバイスの製造方法。

【請求項 4】 前記デバイスは、前記基板上にゲート電極、ゲート絶縁膜、チャネル領域及びソース／ドレイン領域を順に積層して形成される薄膜トランジスタを更に含んでおり、前記囲繞膜形成工程は、前記ゲート電極、前記ゲート絶縁膜及び前記チャネル領域が形成された後の前記基板上に、前記第 1 の領域の外周と、前記ソース／ドレイン領域を形成すべき第 2 の領域の外周のそれぞれを壁で囲み、それ以外の領域を覆う囲繞膜を形成し、前記成膜工程は、前記第 2 の領域内に、液体材料を用いて前記ソース／ドレイン領域となる半導体膜を形成する半導体膜形成工程を更に含む、請求項 2 又は 3 に記載のデバイスの製造方法。

【請求項 5】 前記半導体膜は、ケイ素化合物及びドーパント源を含有する液体材料を用いて形成される、請求項 4 に記載のデバイスの製造方法。

【請求項 6】 前記デバイスは、前記薄膜トランジスタに

電流を供給するための配線を更に含み、

前記囲繞膜形成工程は、前記第 1 及び第 2 の領域の外周と、前記配線を形成すべき第 3 の領域の外周のそれぞれを壁で囲み、それ以外の領域を覆う囲繞膜を形成し、前記成膜工程は、前記第 3 の領域内に、液体材料を用いて前記配線となる導電膜を形成する配線形成工程を更に含む、請求項 4 又は 5 に記載のデバイスの製造方法。

【請求項 7】 前記導電膜は、導電性微粒子を含有する液体材料を用いて形成される、請求項 6 に記載のデバイスの製造方法。

【請求項 8】 更に、前記ソース／ドレイン領域及び前記配線の上面を覆い、入射光の反射を抑制する反射防止膜を形成する反射防止膜形成工程を含む、請求項 7 に記載のデバイスの製造方法。

【請求項 9】 前記画素領域形成工程は、前記第 1 の領域内に第 1 の液体材料を塗布し、熱処理を加えて前記カラーフィルタを形成した後に、前記第 1 の領域内に第 2 の液体材料を塗布し、熱処理を加えて前記画素電極を形成する、請求項 2 乃至 8 のいずれかに記載のデバイスの製造方法。

【請求項 10】 前記画素領域形成工程は、前記第 1 の領域内に第 1 の液体材料を塗布し、熱処理を加えて前記画素電極を形成した後に、前記第 1 の領域内に第 2 の液体材料を塗布し、熱処理を加えて前記カラーフィルタを形成する、請求項 2 乃至 8 のいずれかに記載のデバイスの製造方法。

【請求項 11】 前記画素領域形成工程は、前記第 1 の領域内に液体材料を塗布して熱処理を加え、前記カラーフィルタと前記画素電極のそれぞれの機能を兼ね備える機能膜を形成する、請求項 2 乃至 8 のいずれかに記載のデバイスの製造方法。

【請求項 12】 前記囲繞膜は、暗色の着色材料を混入した熱硬化型のポリイミド前駆体を前記基板上に塗布し、熱処理を加えることにより形成される暗色のポリイミド膜である、請求項 1 乃至 11 のいずれかに記載のデバイスの製造方法。

【請求項 13】 前記囲繞膜は、暗色の着色材料を混入した光硬化型のポリイミド前駆体を前記基板上に塗布し、光照射を行うことにより形成される暗色のポリイミド膜である、請求項 1 乃至 11 のいずれかに記載のデバイスの製造方法。

【請求項 14】 前記囲繞膜形成工程は、前記基板上に絶縁膜を形成し、この絶縁膜に前記液体材料を使用する要素の領域を露出する開口部を形成することにより、前記囲繞膜を形成する、請求項 1 乃至 13 のいずれかに記載のデバイスの製造方法。

【請求項 15】 前記液体材料は、液滴吐出法を用いて供給される、請求項 1 乃至 14 のいずれかに記載のデバイスの製造方法。

【請求項 16】 基板上に形成される複数の要素を含んで

構成されるデバイスであって、  
前記複数の要素のうち、少なくとも一部の要素の外周を壁で囲み、それ以外の要素を覆うように囲繞膜が設けられており、  
前記囲繞膜は、遮光性を有する部材によって形成されている、デバイス。

【請求項 1 7】前記囲繞膜による壁によって囲まれる前記一部の要素は、液体材料を用いて形成されるものである、請求項 1 6 に記載のデバイス。

【請求項 1 8】前記一部の要素は、カラーフィルタと画素電極を含んで構成される画素領域であり、  
前記囲繞膜は、少なくとも前記画素領域の外周を壁で囲むように設けられている、請求項 1 6 又は 1 7 に記載のデバイス。

【請求項 1 9】前記デバイスは、前記画素電極が形成された前記基板と、対向電極が形成された対向基板を所定間隔で配置し、基板間に液晶層を挟んで構成される液晶表示装置であり、  
前記画素電極と前記対向電極によって前記液晶層に印加された電圧を所定時間だけほぼ一定に維持するための蓄積容量を構成するための容量線を含み、  
前記容量線は、前記画素領域とその周囲の前記壁との境界に沿って、前記境界及びその近傍を覆うように形成されている、請求項 1 8 に記載のデバイス。

【請求項 2 0】前記画素領域は、前記カラーフィルタ上に前記画素電極を重ねて形成されている、請求項 1 8 又は 1 9 に記載のデバイス。

【請求項 2 1】前記画素領域は、前記画素電極上に前記カラーフィルタを重ねて形成されている、請求項 1 8 又は 1 9 に記載のデバイス。

【請求項 2 2】前記画素領域は、前記カラーフィルタと前記画素電極のそれぞれの機能を兼ね備える機能膜によって形成されている、請求項 1 8 又は 1 9 に記載のデバイス。

【請求項 2 3】前記基板上にゲート電極、ゲート絶縁膜、チャンネル領域及びソース／ドレイン領域を順に積層して形成されており、前記画素電極又は前記機能膜を駆動する薄膜トランジスタを更に備え、  
前記囲繞膜は、前記画素領域の外周と、前記ソース／ドレイン領域の外周のそれぞれを壁で囲むように形成されている、請求項 1 6 乃至 2 0 のいずれかに記載のデバイス。

【請求項 2 4】前記薄膜トランジスタに電流を供給するための配線を更に備え、  
前記囲繞膜は、前記画素領域、前記ソース／ドレイン領域及び前記配線のそれぞれの外周を壁で囲むように形成されている、請求項 2 1 に記載のデバイス。

【請求項 2 5】前記囲繞膜は、暗色の着色材料を混入して形成されたポリイミド膜である、請求項 1 6 乃至 2 4 のいずれかに記載のデバイス。

【請求項 2 6】請求項 1 乃至 1 5 のいずれかに記載のデバイスの製造方法により製造されたことを特徴とするデバイス。

【請求項 2 7】請求項 1 6 乃至 2 6 のいずれかに記載のデバイスを備える電子機器。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は、薄膜トランジスタ等の薄膜素子を含んで構成されるデバイス（例えば、液晶表示装置など）の製造方法及びこの製造方法により製造されるデバイスに関する。

【 0 0 0 2 】

【従来の技術】電気光学装置の 1 つである液晶表示装置は、薄く軽量であり、消費電力が少ないという特徴を有することから、パーソナルコンピュータ、携帯電話、デジタルスチルカメラ、液晶テレビなどの様々な電子機器に用いられている。

【 0 0 0 3 】液晶表示装置では、薄膜トランジスタなどの能動素子を用いて画素部が形成される。画素部を形成する薄膜トランジスタとしては、基板上にゲート電極を形成し、この上にチャンネル領域やソース／ドレイン領域などの半導体層や絶縁層などを積層した逆スタガ型（あるいはボトムゲート型）の構造のものが多く用いられている。

【 0 0 0 4 】このような薄膜トランジスタと、ゲート電極に信号を供給するための走査線、ソース／ドレイン領域にデータ信号を供給するためのデータ線、ソース／ドレイン領域と接続され、液晶層に電圧を印加するための画素電極、などの要素を組み合わせることで液晶表示装置の画素回路が構成される。この画素回路が形成された基板（アレイ基板）と、対向電極、カラーフィルタ及びカラーフィルタの周囲を遮光する遮光膜（いわゆるブラックマトリクス）などが形成された対向基板とを貼り合わせて、これらの間に液晶材料を封入することにより液晶パネルが構成される。そして、この液晶パネルに駆動回路やバックライトなどの周辺部材を取り付けることにより、液晶表示装置が構成される。

【 0 0 0 5 】

【発明が解決しようとする課題】上述した液晶表示装置を製造する際には、CVD 法やスパッタリング法などの気相堆積法（すなわち、真空プロセス）により薄膜を形成し、形成した薄膜のうちで不要な部分をフォトリソグラフィ法により除去（エッチング）するというプロセスを何度か繰り返すことにより形成されるのが一般的である。

【 0 0 0 6 】しかしながら、このような従来の製造方法は、（１）成膜とエッチングからなるプロセスを何度も繰り返す行うために製造時間が長くなる、（２）形成した薄膜のうち、多くの部分を除去することとなるために原料の使用効率が悪い、（３）エッチング溶液などの廃

棄物が多く発生して処理コストがかさむ、などの不都合がある。これらの不都合により、従来の製造方法では、製造コストを低減することが難しかった。このような不都合は、液晶表示装置の大画面化に伴い、母材となるガラス基板が大型化するほど顕著となる。

【0007】本発明は、このような点に着目して創作されたものであり、製造コストを低減することを可能とするデバイスの製造方法を提供することを目的とする。

【0008】また、本発明は、低コスト化を図ることを可能とするデバイスを提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明は、少なくともデバイスの一部の要素を液体材料を使用して成膜するデバイスの製造方法であって、基板上にデバイスを構成する複数の要素の領域を割り当てる工程と、複数の要素の領域のうち、少なくとも液体材料を使用する要素の領域の外周を壁で囲むとともに、それ以外の領域を覆う囲繞膜を形成する囲繞膜形成工程と、壁によって囲まれた領域に液体材料を塗布し、熱処理を加えて成膜する成膜工程を含んでおり、上述した

20 囲繞膜を遮光性を有するように形成する。

【0010】デバイスの一部の要素の領域の外周を壁で囲む囲繞膜を形成し、この囲繞膜による壁によって囲まれた領域に液体材料を塗布して薄膜を成膜することにより、デバイスを構成する要素を形成しているの、CVD法やスパッタリング法などの気相堆積法とフォトリソグラフィ法を組み合わせることで成膜する従来プロセスを行う回数を少なくして製造プロセスを簡略化し、製造時間を短縮することが可能となる。また、囲繞膜による壁を設けていることから、液体材料を塗布する範囲を最小限に

30 抑えることができるので原料の使用効率がよく、エッチングの回数が少なくなることから廃棄物の量を減らして処理コストを削減することが可能となる。したがって、デバイスの製造コストを低減することが可能となる。このような本発明の利点は、製造対象となるデバイスの規模が大きくなるほど顕著となる。

【0011】また、囲繞膜に遮光性を持たせることにより、この囲繞膜に覆われた部分への入射光を遮ることができるので、例えば、囲繞膜の下側に薄膜トランジスタなどの薄膜素子を形成する場合には、それらの薄膜素子の光照射による誤動作や出力特性の変化などの不都合を回避するための遮光膜としての機能を囲繞膜に兼ねさせることが可能となる。これにより、遮光膜を形成する工程が不要となるため、製造プロセスを簡略化して製造コストの低減を図ることが可能となる。

【0012】好ましくは、デバイスは、カラーフィルタと画素電極を含んで構成される画素領域を含む。そして、上述した囲繞膜形成工程においては、画素領域を形成すべき第1の領域の外周を壁で囲み、それ以外の領域を覆う囲繞膜を形成するようにし、上述した成膜工程に

は、第1の領域内に、液体材料を用いてカラーフィルタ及び画素電極を形成する画素領域形成工程を含むようにする。

【0013】液体材料を用いることにより、画素電極を低コストに形成することが可能となる。また、この画素電極を形成する際に用いる囲繞膜をカラーフィルタの形成にも利用し、画素電極と同じ領域にカラーフィルタを形成しているの、カラーフィルタの製造プロセスを簡略化することが可能となる。また、デバイスとしてバックライト等の光の透過状態を制御して表示を行う液晶表示装置などの非発光型表示装置を考えた場合には、画素領域以外の領域が遮光性を有する囲繞膜によって覆われるので、画素領域以外の部分での光漏れや、画素領域を駆動する薄膜トランジスタ等への光入射を防ぐブラックマトリクスとして囲繞膜を機能させることが可能となる。これにより、別途、ブラックマトリクスを形成することが不要となるので、製造プロセスの簡略化を図ることが可能となる。更には、カラーフィルタ、画素電極、ブラックマトリクスを全て同一の基板上に形成するので、他方の基板（対向基板）には、基板一面に対向電極を成膜すればよく、特にバタニングなどは不要であり、対向基板の製造プロセスを大幅に簡略化することが可能となる。

【0014】好ましくは、デバイスは、画素電極が形成された基板と、対向電極が形成された対向基板を所定間隔で配置し、基板間に液晶層を挟んで構成される液晶表示装置である。そして、上述した囲繞膜形成工程に先立って、画素電極と対向電極によって液晶層に印加された電圧を所定時間だけほぼ一定に維持するための蓄積容量を構成するための容量線を基板上に形成する容量線形成工程を更に含むようにし、この容量線形成工程において、容量線を画素領域とその周囲の壁との境界に沿って、境界及びその近傍を覆うように形成する。

【0015】囲繞膜を設け、液体材料を使用して画素電極やカラーフィルタを形成する場合には、囲繞膜による壁の近く、すなわち画素領域の外周の近傍において、画素電極やカラーフィルタの膜厚が不均一になりやすく、この部分で透過率が様とならない場合がある。そこで、画素領域とその周囲の壁との境界に沿って、境界及びその近傍を覆うような形状に容量線を形成することにより、画素領域の外周近傍の透過率が様とならない領域における光の通過を容量線によって遮蔽することが可能となり、表示ムラなどの不都合を抑え、表示品質の向上を図ることが可能となる。更に、画素領域の外周に沿って容量線を形成するので、画素領域内に占める容量線の面積の割合が低下し、開口率を向上させることが可能となる。

【0016】好ましくは、デバイスは、画素電極を駆動する薄膜トランジスタであって、基板上にゲート電極、ゲート絶縁膜、チャネル領域及びソース／ドレイン領域

を順に積層して形成される薄膜トランジスタを更に含む。そして、上述した囲繞膜形成工程においては、ゲート電極、ゲート絶縁膜及びチャネル領域が形成された後の基板上に、第 1 の領域の外周と、ソース／ドレイン領域を形成すべき第 2 の領域の外周のそれぞれを壁で囲み、それ以外の領域を覆う囲繞膜を形成するようにし、上述した成膜工程には、第 2 の領域内に、液体材料を用いてソース／ドレイン領域となる半導体膜を形成する半導体膜形成工程を更に含めるようにする。このように、半導体膜についても液体材料を用いて形成することにより、デバイスの製造コストを更に削減することが可能となる。

【 0 0 1 7 】 また、半導体膜は、ケイ素化合物及びドーパント源を含有する液体材料を用いて形成することが好ましい。このような液体材料の具体例としては、シクロペンタシラン (  $\text{Si}_5\text{H}_8$  ) など、1 個以上の環状構造を持ったケイ素化合物の溶液に、紫外線を照射することによって光重合させて高次シランを含有する液体としたものが挙げられる。また、ドーパント源の具体例としては、リンなどの 5 族元素あるいはホウ素などの 3 族元素を含有する物質が挙げられる。このようなケイ素化合物及びドーパント源を含有する液体材料を使用することにより、ドーパントが高濃度にドーピングされたシリコン膜を容易に形成することが可能となる。

【 0 0 1 8 】 好ましくは、デバイスは、薄膜トランジスタに電流を供給するための配線を更に含む。そして、上述した囲繞膜形成工程においては、第 1 及び第 2 の領域の外周と、配線を形成すべき第 3 の領域の外周のそれぞれを壁で囲み、それ以外の領域を覆う囲繞膜を形成するようにし、上述した成膜工程には、第 3 の領域内に、液体材料を用いて配線となる導電膜を形成する配線形成工程を更に含めるようにする。このように、配線となる導電膜についても液体材料を用いて形成することにより、デバイスの製造コストを更に削減することが可能となる。

【 0 0 1 9 】 また、導電膜は、導電性微粒子を含有する液体材料を用いて形成することが好ましい。ここで、導電性微粒子としては、金、銀、銅、パラジウム、ニッケルのいずれかを含有する金属微粒子や、導電性ポリマー、超電導体の微粒子などが挙げられるが、特に金属微粒子が好ましい。このような導電性微粒子を含有する液体材料を使用することにより、良好な導電膜を容易に形成することが可能となる。

【 0 0 2 0 】 好ましくは、ソース／ドレイン領域及び配線の上面を覆い、入射光の反射を抑制する反射防止膜を形成する反射防止膜形成工程を更に含む。これにより、基板に入射した光がソース／ドレイン領域や配線で反射することによる、コントラストの低下などの表示品質の低下を回避することが可能となる。

【 0 0 2 1 】 好ましくは、画素領域形成工程において

は、第 1 の領域内に第 1 の液体材料を塗布し、熱処理を加えてカラーフィルタを形成した後に、第 1 の領域内に第 2 の液体材料を塗布し、熱処理を加えて画素電極を形成する。

【 0 0 2 2 】 好ましくは、画素領域形成工程においては、第 1 の領域内に第 1 の液体材料を塗布し、熱処理を加えて画素電極を形成した後に、第 1 の領域内に第 2 の液体材料を塗布し、熱処理を加えてカラーフィルタを形成する。

【 0 0 2 3 】 好ましくは、画素領域形成工程においては、第 1 の領域内に液体材料を塗布して熱処理を加え、カラーフィルタと画素電極のそれぞれの機能を兼ね備える機能膜を形成する。

【 0 0 2 4 】 上述した囲繞膜は、暗色の着色材料を混入した熱硬化型のポリイミド前駆体を基板上に塗布し、熱処理を加えることにより形成される暗色のポリイミド膜であることが好ましい。また、囲繞膜は、暗色の着色材料を混入した光硬化型のポリイミド前駆体を基板上に塗布し、光照射を行うことにより形成される暗色のポリイミド膜であることも好ましい。これらの方法により、遮光性を有する囲繞膜を容易に形成することが可能となる。

【 0 0 2 5 】 好ましくは、上述した囲繞膜形成工程においては、基板上に絶縁膜を形成し、この絶縁膜に液体材料を使用する要素の領域を露出する開口部を形成することにより囲繞膜を形成する。これにより、液体材料を使用する複数の要素の領域の外周を壁で囲む囲繞膜を容易に形成することが可能となる。

【 0 0 2 6 】 好ましくは、上述した各液体材料は、液滴吐出法を用いて供給される。これにより、滴下位置及び滴下量を適切に制御し、かつ高速に液体材料を供給することが可能となる。

【 0 0 2 7 】 また、本発明は上述したいずれかの製造方法によって製造されることを特徴とするデバイスでもある。これにより、デバイスの低コスト化を図ることが可能となる。より具体的には、本発明のデバイスは、以下に述べるような構成を有するものである。すなわち、本発明のデバイスは、基板上に形成される複数の要素を含んで構成されるデバイスであって、複数の要素のうち、少なくとも一部の要素の外周を壁で囲み、それ以外の要素を覆うように囲繞膜が設けられており、この囲繞膜は、遮光性を有する部材によって形成されている。

【 0 0 2 8 】 また、囲繞膜による壁によって囲まれる一部の要素は、液体材料を用いて形成されるものであることが好ましい。

【 0 0 2 9 】 また、一部の要素は、カラーフィルタと画素電極を含んで構成される画素領域であり、囲繞膜は、少なくとも画素領域の外周を壁で囲むように設けられていることが好ましい。

【 0 0 3 0 】 上述したデバイスは、画素電極が形成され



た基板と、対向電極が形成された対向基板を所定間隔で配置し、基板間に液晶層を挟んで構成される液晶表示装置であることが好ましい。そして、この液晶表示装置は、画素電極と対向電極によって液晶層に印加された電圧を所定時間だけほぼ一定に維持するための蓄積容量を構成するための容量線を含んでおり、容量線は、画素領域とその周囲の前記壁との境界に沿って、境界及びその近傍を覆うように形成されていることが好ましい。

【 0 0 3 1 】 上述した画素領域は、カラーフィルタ上に画素電極を重ねて形成されていることが好ましい。また、画素領域は、画素電極上にカラーフィルタを重ねて形成されていることも好ましい。更に、画素領域は、カラーフィルタと画素電極のそれぞれの機能を兼ね備える機能膜によって形成されていることも好ましい。

【 0 0 3 2 】 また、基板上にゲート電極、ゲート絶縁膜、チャネル領域及びソース／ドレイン領域を順に積層して形成されており、画素電極又は機能膜を駆動する薄膜トランジスタを更に備えており、囲繞膜は、画素領域の外周と、薄膜トランジスタのソース／ドレイン領域の外周のそれぞれを壁で囲むように形成されていることが好ましい。

【 0 0 3 3 】 また、薄膜トランジスタに電流を供給するための配線を更に備えており、囲繞膜は、画素領域、ソース／ドレイン領域及び配線のそれぞれの外周を壁で囲むように形成されていることが好ましい。

【 0 0 3 4 】 上述した囲繞膜は、暗色の着色材料を混入して形成されたポリイミド膜であることが好ましい。

【 0 0 3 5 】 また、本発明は、上述したデバイスを備える電子機器でもある。電子機器を一例としては、パーソナルコンピュータや液晶テレビなどが挙げられる。

【 0 0 3 6 】

【発明の実施の形態】 以下、本発明を適用した一実施形態の液晶表示装置とその製造方法について、図面を参照しながら説明する。

【 0 0 3 7 】 本発明において、液滴吐出法とは、液滴を所望の領域に吐出することにより、被吐出物を含む所望パターンを形成する方法であり、インクジェット法と呼ぶこともある。但し、この場合、吐出する液滴は、印刷物に用いられる所謂インクではなく、デバイスを構成する材料物質を含む液状体であり、この材料物質は、例えばデバイスを構成する導電物質又は絶縁物質として機能し得る物質を含むものである。さらに、液滴吐出とは、吐出時に噴霧されるものに限らず、液状体の 1 滴 1 滴が連続するように吐出される場合も含む。

【 0 0 3 8 】 図 1 は、本実施形態の液晶表示装置の構成を概略的に示す図である。本実施形態の液晶表示装置は、素子基板（アレイ基板）と対向基板とが互いに一定の間隙を保って貼付され、この間隙に液晶材料が挟まれた構成となっている。素子基板および対向基板としては、ガラス、石英またはプラスチック等によって構成

される絶縁性の板状部材の基板を用いることが可能であり、本実施形態では、ガラス基板を用いている。

【 0 0 3 9 】 図 1 に示すように、ガラス基板 1 0 上には、複数本の走査線 1 2 が X（行）方向に延在して形成されており、これらの走査線 1 2 は、走査線駆動回路 1 3 0 に接続されている。また、ガラス基板 1 0 上には、複数本のデータ線 2 6 が Y（列）方向に延在して形成されており、これらのデータ線 2 6 は、データ線駆動回路 1 4 0 に接続されている。そして、画素部 1 0 0 は、走査線 1 2 とデータ線 2 6 との各交差に対応して設けられて、マトリクス状に配列している。なお、走査線駆動回路 1 3 0 やデータ線駆動回路 1 4 0 は、ガラス基板 1 0 上に形成されていてもよい。

【 0 0 4 0 】 図 2 は、画素部 1 0 0 の具体的な構成例を示す図である。同図に示す画素部 1 0 0 は、薄膜トランジスタ T のゲートが走査線 1 2 に、ソースがデータ線 2 6 に、ドレインが画素電極 2 4 にそれぞれ接続されるとともに、画素電極 2 4 と対向電極 5 0 との間に電気光学材料たる液晶 LC が挟まれた構成を有している。また、画素電極 2 4 と接地電位 GND との間には、蓄積容量 6 0 が形成されている。この蓄積容量 6 0 は、薄膜トランジスタ T を介して画素電極 2 4 に電圧が印加された後、この印加電圧を必要な時間だけほぼ一定に維持するために設けられた容量（キャパシタンス）である。対向電極 5 0 は、画素電極 2 4 と対向するように対向基板に一面に形成される、各画素に共通な透明電極である。

【 0 0 4 1 】 次に、図 2 に示した画素部 1 0 0 の具体的な構造について説明する。図 3 は、本実施形態の液晶表示装置の画素部の具体的な構造を示す図である。図 3（a）は、1つの画素部 1 0 0 に着目して示した平面図であり、図 3（b）は、図 3（a）に示す A-A' 断面図である。

【 0 0 4 2 】 図 3（b）に示すように、本実施形態の薄膜トランジスタ T は、いわゆる逆スタガ型の構造を有しており、ガラス基板 1 0 上に形成されたゲート電極 1 3 と、このゲート電極 1 3 上に形成されたゲート絶縁膜 1 6 と、ゲート絶縁膜 1 6 上に形成されたチャネル領域 1 8 と、このチャネル領域 1 8 上に形成されたソース／ドレイン領域 2 2 を備えている。

【 0 0 4 3 】 また、上述した薄膜トランジスタ T と、走査線（ゲート線） 1 2、容量線 1 4、カラーフィルタ 2 3、画素電極 2 4、データ線（ソース線） 2 6、反射防止膜 3 0 のそれぞれを含んで、液晶表示装置の画素部 1 0 0 が構成されている。本実施形態では、カラーフィルタ 2 3 と画素電極 2 4 は、ガラス基板 1 0 上の同じ領域に重ねて形成されており、これらによって画素領域が形成されている。また、薄膜トランジスタ T のゲート電極 1 3 は、ゲート線 1 2 と一体に形成されている。

【 0 0 4 4 】 一方のソース／ドレイン領域 2 2 は、接続部 2 8 を介して画素電極 2 4 と電気的に接続されてい



る。画素電極24は、液晶LCに電圧を印加するためのものである。また、他方のソース／ドレイン領域22は、接続部29を介してデータ線26と接続されている。

【0045】容量線14は、上述した蓄積容量60（液晶層の充電電荷をより安定に保持するための容量）を形成するためのものであり、画素電極24の下層に形成されている。本実施形態では、容量線14は、カラーフィルタ23等が形成される画素領域の周囲を囲むような形状に形成されており、画素領域の周辺からの光漏れを防止する遮光膜（ブラックマトリクス）としての機能も兼ねている。容量線14の形状や形成工程の詳細については後述する。

【0046】また、ソース／ドレイン領域22、カラーフィルタ23、画素電極24、データ線26のそれぞれの周囲を取り囲むようにして、ポリイミド膜20による壁（バンク）が形成されている。このポリイミド膜20は、ソース／ドレイン領域22、カラーフィルタ23、画素電極24、データ線26のそれぞれを形成する際に用いるものであり、その詳細については後述する。

【0047】反射防止膜30は、データ線26と、薄膜トランジスタTのソース／ドレイン領域22上に形成された接続部28、29の上面に形成されており、これらデータ線26等による光反射を防止する。すなわち、本実施形態では、データ線26や接続部28、29は、金属膜によって形成されており、これらの金属膜の表面に入射する光を反射して液晶表示装置の表示品質を低下させる場合があるため、これらのデータ線26等の上面に反射防止膜30を形成し、光の反射を防止している。また、この反射防止膜30は、データ線26や接続部28、29を保護する保護膜としての機能も兼ね備えている。

【0048】このような画素部100をガラス基板10上にマトリクス状に形成することによりアレイ基板が構成される。そして、このアレイ基板と、一面对向電極50が形成された対向基板のそれぞれに対して配向膜形成などの表面処理を行った後に両者を貼り合わせて、アレイ基板と対向基板の間に液晶材を注入し、駆動回路やバックライトなどを取り付けることにより液晶表示装置が構成される。液晶表示装置の具体例については後述する。

【0049】次に、本実施形態の薄膜トランジスタ及びこの薄膜トランジスタを含んで構成される画素回路の製造方法について詳細に説明する。図4～図9は、本実施形態の製造方法について説明する説明図である。

【0050】（ゲート線、ゲート電極及び容量線の形成工程）図4は、ゲート線、ゲート電極及び容量線の形成工程を説明する図である。図4（a）はガラス基板10を上側から見た平面図を示し、図4（b）は図4

（a）に示すB-B'断面を示している。

【0051】図4に示すように、ガラス基板10上の所定位置に、液滴吐出法によって、ゲート線12及びゲート電極13を一体に形成するとともに、容量線14を形成する。これらのゲート線12等は、一般的なスパッタリング法、プラズマ化学気相堆積法（PECVD法）や低圧化学気相堆積法（LPCVD法）等の気相堆積法によってガラス基板10の上面全体に導電膜を製膜した後に、フォトリソグラフィ法によるパターン形成を行うことによって形成することが可能である。

【0052】また、図4（a）に示すように、容量線14は、画素領域102（カラーフィルタ23及び画素電極24の形成領域）の外周を囲むようにして形成される。これにより、容量線14に画素領域102の周辺からの光漏れを防止するブラックマトリクス（遮蔽膜）としての機能を兼用させて、画素領域102の面積をより広く確保し、開口率を向上させることが可能となる。

【0053】なお、ゲート線12、ゲート電極13及び容量線14は、液体材料を使用して形成するようにしてもよい。この場合には、まずガラス基板10の上面に、ある程度の一様な撥液性を持たせる。次に、ガラス基板10の上面に対して、液滴吐出法などの液体吐出方法によって、導電性微粒子を含有する溶液を吐出し、ゲート線12、ゲート電極13及び容量線14のそれぞれを描画する。その後、溶液が塗布されたガラス基板10に熱処理を行うことにより、ゲート線12、ゲート電極13及び容量線14が形成される。

【0054】ここで、導電性微粒子としては、金、銀、銅、パラジウム、ニッケルのいずれかを含有する金属微粒子や、導電性ポリマーや超電導体の微粒子などが考えられる。本実施形態では、これらの導電性微粒子を有機溶媒に分散させて生成した溶液を用いる。微粒子を分散させるために、微粒子表面に有機物などをコーティングして使うこともできる。また、基板に塗布するにあたり、溶媒への分散のしやすさと液滴吐出法の適用の観点から、微粒子の粒径は0.1 $\mu$ m以下であることが好ましい。例えば、粒径が0.01 $\mu$ m程度の銀の微粒子を含有するペースト（分散溶媒として $\alpha$ -テルピネオールを使用）をトルエンで希釈し、粘度が8cP程度となるようにして溶液を用いることにより、幅20 $\mu$ m、厚さ0.5 $\mu$ m、抵抗率2 $\mu\Omega$ cmのゲート線12、ゲート電極13及び容量線14を形成することが可能である。

【0055】ところで、容量線14は、ブラックマトリクスとしての機能も兼用させていることから、その形状を比較的に精度よく形成する必要がある。このため、液体材料を使用して容量線14を形成する場合には、容量線14の形成領域の周囲を囲む壁（バンク）を形成した後に溶液の吐出を行うか、あるいは、ガラス基板10の上面に対する撥液処理に加えて、容量線14の形成領域に対して親液処理を行った後に溶液の吐出を行うことが望ましい。これらの方法により、容量線14の形成領域

へ塗布された溶液の広がりを抑制し、容量線 14 の形状をより精度よく形成することが可能になる。なお、同様な方法をゲート線 12、ゲート電極 13 の形成にも適用し、これらの形状精度を向上させることも可能である。

【0056】(ゲート絶縁膜及び非晶質シリコン膜の形成工程) 図5は、ゲート絶縁膜及び非晶質(アモルファス)シリコン膜の形成工程を説明する図である。図5(a)はガラス基板10を上側から見た平面図を示し、図5(b)は図5(a)に示すC-C'断面を示している。

【0057】図5に示すように、ガラス基板10、ゲート線12、ゲート電極13及び容量線14のそれぞれを覆うように、ガラス基板10の上面全体にゲート絶縁膜16を形成する。このゲート絶縁膜16としては、PECVD法によって窒化シリコン(SiNx)膜を形成することが好適である。また、窒化シリコンと酸化シリコン(SiO<sub>2</sub>)を重ねて堆積した2層構造の膜によってゲート絶縁膜16を形成してもよい。この場合には、CVD法において、成膜途中で反応ガスを変更することにより複数種類の薄膜を連続的に製膜する、いわゆる連続CVD法を用いて膜形成を行うことが好適である。

【0058】次に、ゲート絶縁膜16上の所定位置に、非晶質シリコン膜からなるチャネル領域18を形成する。具体的には、チャネル領域18は、PECVD法などの気相堆積法によってガラス基板10の上面全体に非晶質シリコン膜を形成した後に、所望の形状にパターニングすることによって、図5(a)に示すように、ゲート電極13上に島状に形成される。また、ガラス基板10への非晶質シリコン膜の形成は、連続CVD法を用いることにより、上述したゲート絶縁膜16の形成と連続して行うことが更に望ましい。

【0059】(ポリイミド膜によるバンクの形成工程) 図6は、ポリイミド膜によるバンク(壁)の形成工程を説明する図である。図6(a)はガラス基板10を上側から見た平面図を示し、図6(b)は図6(a)に示すD-D'断面を示している。

【0060】図6に示すように、ガラス基板10等の上面に、所定形状の開口部a1、a2、a3、a4を有するポリイミド膜20を形成する。具体的には、ポリイミド膜20に設けられている開口部a1は、後の工程においてカラーフィルタ23及び画素電極24が形成されるべき領域(上述した画素領域102)を露出するように形成される。これにより、カラーフィルタ23及び画素電極24の形成領域の外周にポリイミド膜20によるバンクが形成される。

【0061】開口部a2は、後の工程においてデータ線26が形成されるべき領域を露出するように形成される。これにより、データ線26の形成領域の周囲に、ポリイミド膜20によるバンクが形成される。同様に、開口部a3、a4は、後の工程において、薄膜トランジ

スタTのソース/ドレイン領域22が形成されるべき領域を露出するように形成される。これにより、ソース/ドレイン領域22の形成領域の周囲に、ポリイミド膜20によるバンクが形成される。

【0062】また、ポリイミド膜20は、遮光性を有するように着色がなされた着色層120と、着色がなされない非着色層121とを積層した2層構造とする。このような2層構造を有するポリイミド膜20は、例えば、以下のような方法によって形成することが可能である。

10 【0063】ポリイミド前駆体に着色材料(例えば、黒色の染料、顔料、その他の微粒子など)を混入した溶剤を用いて、ガラス基板10の上面全体に着色層120を形成する。ポリイミド前駆体としては、通常の熱硬化型のものでもよく、紫外線硬化型のものでもよい。このようなポリイミド前駆体をガラス基板10の上面全体に塗布し、その後、熱処理(例えば、300~400℃程度)、または紫外線照射後に熱処理を行うことにより着色層120を形成することができる。また、この着色層は、ポリイミド以外でも遮光性がある絶縁体であれば何でも良く、たとえば金属酸化物の薄膜をスパッタや、ゾルゲル法などで形成してもよい。

【0064】次に、着色層120の上面全体に、通常の(すなわち、着色がなされていない)紫外線硬化型のポリイミド前駆体を塗布する。そして、上述した開口部a1~a4に対応したパターンを有するマスクを通して、ポリイミド前駆体に紫外線を照射し、現像した後に熱処理(例えば、300~400℃程度)を行い、非着色層121のパターンを形成する。このとき、非着色層120の下層に着色層120が存在するため、紫外線照射を行った際にも、薄膜トランジスタTのチャネル領域18等には、紫外線がほとんど届かない。これにより、チャネル領域18の半導体膜の劣化を回避し、薄膜トランジスタTの特性低下を防止することが可能である。

【0065】その後、パターン形成がなされた非着色層121をエッチングマスクとして用いて、ドライエッチング(又はウェットエッチング)を行う。これにより、着色層120は、開口部a1~a4に露出している部分が除去される。レジストの機能を兼ねている非着色層121も、エッチング時にある程度一緒に除去されるが通常は非着色層121は着色層120よりも厚く形成するため、図に示すような二層の囲繞膜パターンが形成される。このようにして、開口部a1~a4が設けられており、着色層120と非着色層121からなる2層構造のポリイミド膜20が形成される。ポリイミド膜20の厚さは、0.5~10μm程度にすることが好適である。

【0066】なお、ポリイミド膜20は、着色層120のみからなる1層構造としてもよい。例えば、紫外線硬化型のポリイミド前駆体に黒色の染料や顔料などを混入した溶剤をガラス基板10の上面全体に塗布し、紫外線照射を行うことにより、ガラス基板10の上面全体に着

色層 120 を形成する。その後フォトリソストを用いたパターニングとエッチングを行うことにより、開口部 a 1 ~ a 4 が設けられ、着色層 120 のみからなる 1 層構造のポリイミド膜 20 を形成することが可能である。また、熱硬化型のポリイミド前駆体を用いた場合についても、同様な方法により着色層 120 のみからなる 1 層構造のポリイミド膜 20 を形成することが可能である。

【0067】(ソース/ドレイン領域の形成工程) 図 7 は、ソース/ドレイン領域の形成工程を説明する図である。図 7 (a) はガラス基板 10 を上面側から見た平面図を示し、図 7 (b) は図 7 (a) に示す E-E' 断面図を示している。

【0068】図 7 に示すように、ポリイミド膜 20 に設けられた開口部 a 3、a 4 (図 6 参照) の内側に、ドーパントが高濃度に添加された非晶質シリコン膜からなるソース/ドレイン領域 22 を形成する。本実施形態では、ソース/ドレイン領域 22 は、液滴吐出法を用いて形成される。

【0069】具体的には、まず、リンなどの 5 族元素あるいはホウ素などの 3 族元素を含有する物質をドーパント源として添加したケイ素化合物を含有する溶液、または、それらの元素 (リン、ホウ素等) で変性されたケイ素化合物と変性されていないケイ素化合物とを含有する溶液を液滴吐出ヘッドから吐出し、開口部 a 3、a 4 の内部に充填する。以下、このようなケイ素化合物を含有する溶液を「シリコン溶液」と称することとする。

【0070】次に、開口部 a 3、a 4 のそれぞれに充填したシリコン溶液を乾燥させて、その後、300℃~400℃程度の温度で焼成する。これら一連の処理は、窒素などの不活性ガスの雰囲気中で行われる。これにより、ポリイミド膜 20 によって形成されるバンクに周囲を囲まれた開口部 a 3、a 4 の内部に、ドーパント源 (ドナー又はアクセプタ) が高濃度にドーピングされた非晶質シリコン膜からなるソース/ドレイン領域 22 が形成される。

【0071】ここで、上述したケイ素化合物としては、シクロペンタシラン (Si<sub>5</sub>H<sub>8</sub>) など、1 個以上の環状構造を持ったものに、紫外線を照射することによって光重合させて高次シランとしたものを用いることが特に好ましい。この場合には、リン化合物やホウ素化合物を混合した後に紫外線を照射し、重合時にこれらを取り込んだ形で高次シラン化合物とすることが更に好ましい。また、シリコン溶液を形成するための溶媒としては、ケイ素化合物を溶解し、該化合物と反応しないものであれば特に限定されないが、通常、室温での蒸気圧が 0.001~200 mmHg のものが好適である。溶媒の具体例としては、ベンゼンやトルエンなどの炭素水素系溶媒が挙げられる。

【0072】なお、更に好ましくは、液滴吐出ヘッドからシリコン溶液を吐出をするより以前に、開口部 a 3、

a 4 の内側を親液化し、その周囲については撥液化しておくことよい。親液化、撥液化の処理は、例えば、ガラス基板 10 の全体を大気圧プラズマで酸素プラズマ処理して親液化し、次いで、CF<sub>4</sub> プラズマ処理を行い、ポリイミド膜 20 の部分のみを撥液化することにより実現可能である。

【0073】(データ線及び接続部の形成工程) 図 8 は、データ線及び接続部の形成工程を説明する図である。図 8 (a) はガラス基板 10 を上面側から見た平面図を示し、図 8 (b) は図 8 (a) に示す F-F' 断面図を示している。

【0074】図 8 に示すように、ポリイミド膜 20 に設けられた開口部 a 2 (図 6 参照) の内側にデータ線 26 を形成する。本実施形態では、データ線 26 についても液滴吐出法を用いて形成される。具体的には、液滴吐出法によって、導電性微粒子を含有する溶液を液滴吐出ヘッドから吐出して開口部 a 2 の内部に充填し、その後、乾燥及び熱処理 (例えば、300℃30 分間) を行う。これにより、ポリイミド膜 20 によるバンクに周囲を囲まれた開口部 a 2 の内部に、データ線 26 が形成される。ここで、導電性微粒子としては、金、銀、銅、パラジウム、ニッケルのいずれかを含有する金属微粒子や、導電性ポリマーや超電導体の微粒子などが考えられる。本実施形態では、銀を含有する金属微粒子を有機溶媒に分散させて生成した溶液を用いる。微粒子を分散させるために、微粒子表面に有機物などをコーティングして使うこともできる。また、基板に塗布するにあたり、溶媒への分散のしやすさと液滴吐出法の適用の観点から、微粒子の粒径は 0.1 μm 以下であることが好ましい。

【0075】また、データ線 26 の形成と併せて、金属微粒子を含有した上記溶液を用いて、一方のソース/ドレイン領域 22 と、後の工程で形成される画素電極 24 の間の電氣的接続を図るための接続部 28 と、ソース/ドレイン領域 22 とデータ線 26 の間の電氣的接続を図るための接続部 29 をそれぞれ形成する。図 8 に示すように、接続部 29 は、ソース/ドレイン領域 22 とデータ線 26 の間に存在するポリイミド膜 20 によるバンクを乗り越えるようにして形成される。

【0076】(カラーフィルタ及び画素電極の形成工程) 図 9 は、カラーフィルタ及び画素電極の形成工程を説明する図である。図 9 (a) はガラス基板 10 を上面側から見た平面図を示し、図 9 (b) は図 9 (a) に示す G-G' 断面図を示している。

【0077】図 9 に示すように、ポリイミド膜 20 に設けられた開口部 a 1 (図 6 参照) の内側にカラーフィルタ 23 を形成する。本実施形態では、このカラーフィルタ 23 についても液滴吐出法を用いて形成される。具体的には、カラーフィルタ用樹脂組成物を液滴吐出ヘッドから吐出して開口部 a 1 の内部に充填し、その後、乾燥処理及び熱処理を行う。これにより、ポリイミド膜 20

によるバンクに周囲を囲まれた開口部 a 1 の内部にカラーフィルタ 2 3 が形成される。

【0078】次に、カラーフィルタ 2 3 上に画素電極 2 4 を形成する。図 9 に示すように、ポリイミド膜 2 0 に設けられた開口部 a 1 (図 6 参照) の内側であって先に形成されたカラーフィルタ 2 3 上に、ITO (Indium Tin Oxide) 膜からなる画素電極 2 4 を形成する。本実施形態では、画素電極 2 4 についても液滴吐出法を用いて形成される。具体的には、塗布型の ITO 溶液を液滴吐出ヘッドから吐出して開口部 a 1 の内部に充填し、その後、乾燥処理及び熱処理を行う。これにより、ポリイミド膜 2 0 によるバンクに周囲を囲まれた開口部 a 1 の内部に画素電極 2 4 が形成される。例えば、一般的な ITO 塗布液を開口部 a 1 に充填した後に、160℃の空気雰囲気中で 5 分間乾燥させ、その後に、250℃の空気雰囲気中で 60 分間の熱処理を行うことにより、厚さ 1500 Å 程度の画素電極 2 4 を形成することが可能である。

【0079】また、画素電極 2 4 は、一部を接続部 2 8 と接するようにし、両者の間で電気的接続が図られるようにして形成される。具体的には、図 9 に示すように、画素電極 2 4 の一部は、ソース/ドレイン領域 2 2 と画素電極 2 4 の間に存在するポリイミド膜 2 0 によるバンクを乗り越えるようにして形成される。

【0080】(反射防止膜の形成工程) 次に、上述した図 3 に示したように、データ線 2 6 と、薄膜トランジスタ T のソース/ドレイン領域 2 2 上に形成された接続部 2 8、2 9 のそれぞれの上面に、絶縁性の黒色インクを塗布して乾燥させることにより、反射防止膜 3 0 を形成する。上述したように、この反射防止膜 3 0 は、金属膜からなるデータ線 2 6 及び接続部 2 8、2 9 の表面での光反射を防止するとともに、データ線 2 6 及び接続部 2 8、2 9 を保護する保護膜としての機能を兼ね備える。

【0081】以上の製造プロセスにより、上述した図 3 に示した本実施形態の薄膜トランジスタ T と、これを含んで構成される画素部 100 が完成する。また、必要に応じて、画素部 100 の上面に酸化シリコン膜などによる保護膜を形成してもよい。

【0082】このように、本実施形態の製造方法は、液晶表示装置の一部の要素の領域の外周を壁で囲むポリイミド膜 2 0 を形成し、このポリイミド膜 2 0 による壁によって囲まれた領域に液体材料を塗布して薄膜を成膜することにより、各要素を形成している。これにより、CVD 法やスパッタリング法などの気相堆積法とフォトリソグラフィ法を組み合わせる従来プロセスを行う回数を少なくして製造プロセスを簡略化し、製造時間を短縮することが可能となる。また、ポリイミド膜 2 0 による壁を設けていることから、液体材料を塗布する範囲を最小限に抑えることができるので原料の使用効率がよく、エッチングの回数が少なくなることから廃棄物の

量を減らして処理コストを削減することが可能となる。したがって、製造コストを低減することが可能となる。

【0083】また、ポリイミド膜 2 0 に遮光性を持たせているので、このポリイミド膜 2 0 に覆われた部分への入射光を遮ることができる。これにより、ポリイミド膜 2 0 の下側に形成される薄膜トランジスタ T のチャネル領域 1 8 への光照射による誤動作や出力特性の変化などの不都合を回避することが可能となる。したがって、チャネル領域 1 8 などへの光照射を回避するための遮光膜を別途形成する必要がなくなり、製造プロセスを簡略化して製造コストの低減を図ることが可能となる。

【0084】次に、カラーフィルタ及び画素電極の形成工程について、他の実施形態を説明する。上述した実施形態では、カラーフィルタを先に形成し、その上に画素電極を重ねて形成していたが、画素電極を先に形成し、その上にカラーフィルタを重ねて形成するようにしてもよい。以下、この実施形態におけるカラーフィルタ及び画素電極の形成工程について説明する。

【0085】図 10 は、画素電極を先に形成し、その上にカラーフィルタを形成する場合の形成工程について説明する説明図である。図 10 (a) はガラス基板 10 を上面側から見た平面図を示し、図 10 (b) は図 10 (a) に示す H-H' 断面図を示している。

【0086】図 10 に示すように、ポリイミド膜 2 0 に設けられた開口部 a 1 (図 6 参照) の内側に、液滴吐出法を用いて、ITO (Indium Tin Oxide) 膜からなる画素電極 2 4 a を形成する。具体的には、塗布型の ITO 溶液を液滴吐出ヘッドから吐出して開口部 a 1 の内部に充填し、その後、乾燥処理及び熱処理を行う。これにより、ポリイミド膜 2 0 によるバンクに周囲を囲まれた開口部 a 1 の内部に画素電極 2 4 a が形成される。また、画素電極 2 4 a は、一部を接続部 2 8 と接するようにし、両者の間で電気的接続が図られるようにして形成される。具体的には、図 10 に示すように、画素電極 2 4 a の一部は、ソース/ドレイン領域 2 2 と画素電極 2 4 a の間に存在するポリイミド膜 2 0 によるバンクを乗り越えるようにして形成される。

【0087】次に、図 10 に示すように、ポリイミド膜 2 0 に設けられた開口部 a 1 (図 6 参照) の内側であって画素電極 2 4 a 上に、液滴吐出法を用いてカラーフィルタ 2 3 a を形成する。具体的には、カラーフィルタ用樹脂組成物を液滴吐出ヘッドから吐出して開口部 a 1 の内部に充填し、その後、乾燥処理及び熱処理を行う。これにより、ポリイミド膜 2 0 によるバンクに周囲を囲まれた開口部 a 1 の内部にカラーフィルタ 2 3 a が形成される。その後、上述した実施形態と同様にして反射防止膜 3 0 を形成することにより、薄膜トランジスタ T が形成される。

【0088】また、上述した実施形態では、カラーフィルタと画素電極を重ねて形成することによって画素領域

を形成していたが、これらのカラーフィルタ（CF）と画素電極の各々の機能を兼ね備える一体の機能膜として画素領域を形成するようにしてもよい。なお、以後の説明では、カラーフィルタと画素電極の各々の機能を兼ね備えた機能膜を「CF／画素電極」と称することとする。以下、この実施形態におけるCF／画素電極の形成工程について説明する。

【0089】図11は、カラーフィルタとしての機能を兼ね備えた画素電極（CF／画素電極）を形成する場合の形成工程について説明する説明図である。図11

（a）はガラス基板10を上面側から見た平面図を示し、図11（b）は図11（a）に示すK-K'断面図を示している。

【0090】図11に示すように、ポリイミド膜20に設けられた開口部a1の内側に、液滴吐出法を用いてCF／画素電極25を形成する。具体的には、塗布型のITO溶液に各種の染料や顔料、あるいは導電性のカラーレジストを混ぜて生成した溶液を液滴吐出ヘッドから吐出して開口部a1の内部に充填し、その後、乾燥処理及び熱処理を行う。これにより、ポリイミド膜20によるバンクに周囲を囲まれた開口部a1の内部にCF／画素電極25が形成される。また、CF／画素電極25は、一部を接続部28と接するようにし、両者の間で電氣的接続が図られるようにして形成される。具体的には、図11に示すように、CF／画素電極25の一部は、ソース／ドレイン領域22とCF／画素電極25の間に存在するポリイミド膜20によるバンクを乗り越えるようにして形成される。

【0091】なお、上述した各実施形態では、データ線を形成した後に、カラーフィルタと画素電極の形成を行っていたが、これらの形成順序を入れ替えてもよい。

【0092】また、上述した実施形態では、薄膜トランジスタTのチャンネル領域18となるべき非晶質シリコン膜は、PECVD法などの気相堆積法によって形成していたが、液滴吐出法によって形成することも可能である。

【0093】図12は、液滴吐出法によって非晶質シリコン膜を形成する場合の形成工程を説明する図である。図12（a）はガラス基板10を上面側から見た平面図を示し、図12（b）は図12（a）に示すJ-J'断面を示している。

【0094】まず、上述した実施形態と同様にして、ゲート線12、ゲート電極13及び容量線14のそれぞれを覆うように、ガラス基板10の上面全体にゲート絶縁膜16を形成する（図5参照）。次に、ゲート絶縁膜16が形成された後のガラス基板10を窒素雰囲気中に導入する。

【0095】次に、液滴吐出ヘッドを用いて、チャンネル領域を形成すべき範囲にシリコン溶液（ケイ素化合物を含有する溶液）を吐出する。この場合のシリコン溶液と

しては、上述したソース／ドレイン領域の形成に用いられるものと同様のケイ素化合物を含有する溶液であって、リンなどの5族元素あるいはホウ素などの3族元素からなるドーパント源が添加されていないものが好適である。

【0096】その後、吐出されたシリコン溶液を乾燥させ、300℃～400℃程度の温度で焼成することにより、図12に示すように、ゲート電極13上の所定位置に、非晶質シリコンからなる島状のチャンネル領域18aが形成される。チャンネル領域18aは、寸法精度の要求が比較的到低く、液滴吐出法により吐出されたシリコン溶液が多少広がっても問題とならない。なお、液体の広がり許容範囲を超える場合には、基板表面全体を撥液化したり、チャンネル領域18aを形成すべき範囲のみを親液化し、それ以外を撥液化する処理を行うことにより、シリコン溶液の広がりを抑制することが可能である。

【0097】次に、上述した実施形態に係る液晶表示装置を備えた電子機器について説明する。図13は、本実施形態に係る液晶表示装置をモバイル型のパーソナルコンピュータ（情報処理装置）に適用した例を示す斜視図である。同図において、パーソナルコンピュータ1100は、キーボード1102を備えた本体部1104と、本実施形態に係る液晶表示装置1106を含んで構成されている。本実施形態に係る製造方法は、図13に示すような画面サイズの大きな液晶表示装置を製造する場合に特に好適である。

【0098】なお、本実施形態の液晶表示装置を含んで構成される電子機器としては、図13のパーソナルコンピュータの他にも、デジタルスチルカメラ、電子ブック、電子ペーパー、液晶テレビ、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器など種々のものが挙げられる。

【0099】

【発明の効果】以上説明したように、本発明によれば、CVD法やスパッタリング法などの気相堆積法とフォトリソグラフィ法を組み合わせることで成膜する従来プロセスを行う回数を少なくして製造プロセスを簡略化し、製造時間を短縮することが可能となる。また、囲繞膜による壁を設けることにより、液体材料を塗布する範囲を最小限に抑えることができるので原料の使用効率がよく、エッチングの回数が少なくなることから廃棄物の量を減らして処理コストを削減することが可能となる。したがって、デバイスの製造コストの低減を図ることが可能となる。また、本発明の製造方法を適用することにより、デバイスの低コスト化を図ることが可能となる。また、囲繞膜に遮光性を持たせることにより、囲繞膜の下側に形成される薄膜トランジスタなどの薄膜素子への光照射に

よる誤動作や出力特性の変化などの不都合を回避する遮光膜としての機能を圍繞膜に兼ねさせることが可能となる。これにより、遮光膜を別途形成する工程が不要となるため、製造プロセスを簡略化して製造コストの低減を図ることが可能となる。

【図面の簡単な説明】

【図 1】一実施形態の液晶表示装置の構成を概略的に示す図である。

【図 2】画素部の具体的な構成例を示す図である。

【図 3】画素部の具体的な構造を示す図である。

【図 4】本実施形態の製造方法について説明する説明図である。

【図 5】本実施形態の製造方法について説明する説明図である。

【図 6】本実施形態の製造方法について説明する説明図である。

【図 7】本実施形態の製造方法について説明する説明図である。

【図 8】本実施形態の製造方法について説明する説明図である。

【図 9】本実施形態の製造方法について説明する説明図である。

【図 10】画素電極を先に形成し、その上にカラーフィルタを形成する場合の形成工程について説明する説明図である。

【図 11】カラーフィルタとしての機能を備えた画素電極（CF/画素電極）を形成する場合の形成工程について

て説明する説明図である。

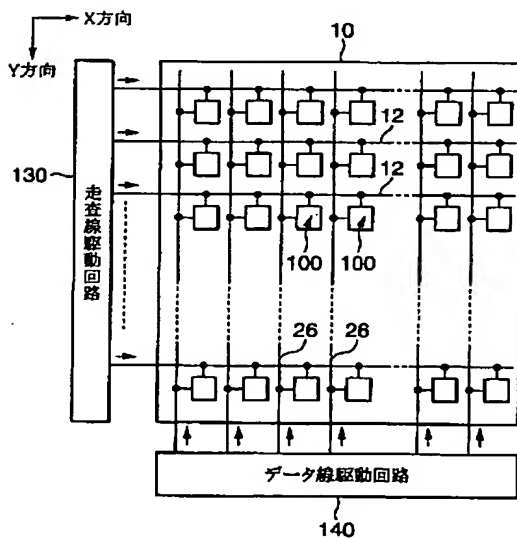
【図 12】液滴吐出法によって非晶質シリコン膜を形成する場合の形成工程を説明する図である。

【図 13】液晶表示装置をモバイル型のパーソナルコンピュータ（情報処理装置）に適用した例を示す斜視図である。

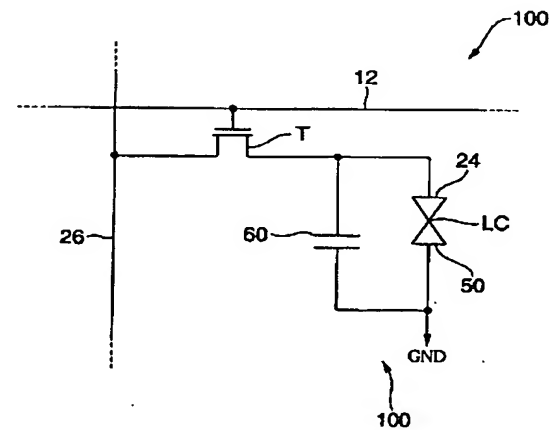
【符号の説明】

- 10 ガラス基板
- 12 ゲート線（走査線）
- 13 ゲート電極
- 14 容量線
- 16 ゲート絶縁膜
- 18、18a チャンネル領域
- 20 ポリイミド膜
- 22 ソース/ドレイン領域
- 23、23a カラーフィルタ
- 24、24a 画素電極
- 25 CF/画素電極
- 26 データ線（ソース線）
- 28、29 接続部
- 30 反射防止膜
- 100 画素部
- 102 画素領域
- 120 着色層
- 121 非着色層
- T 薄膜トランジスタ

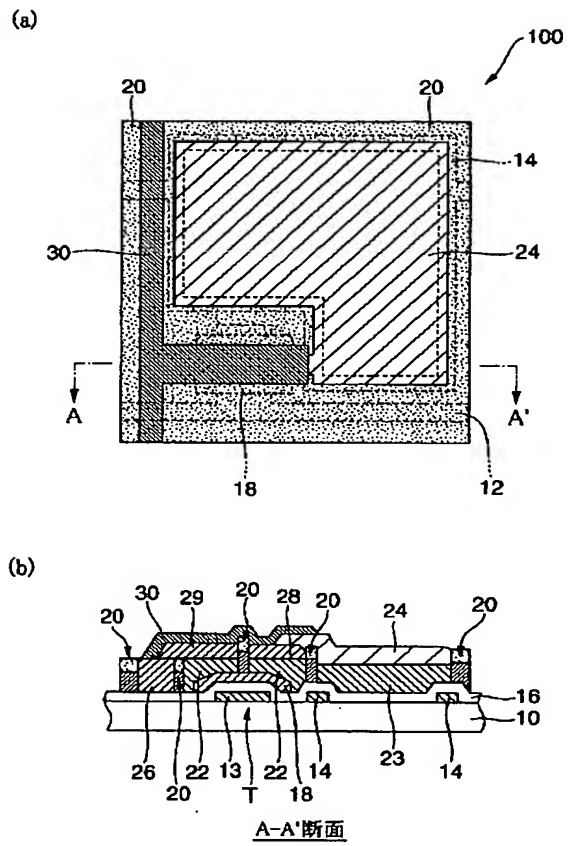
【図 1】



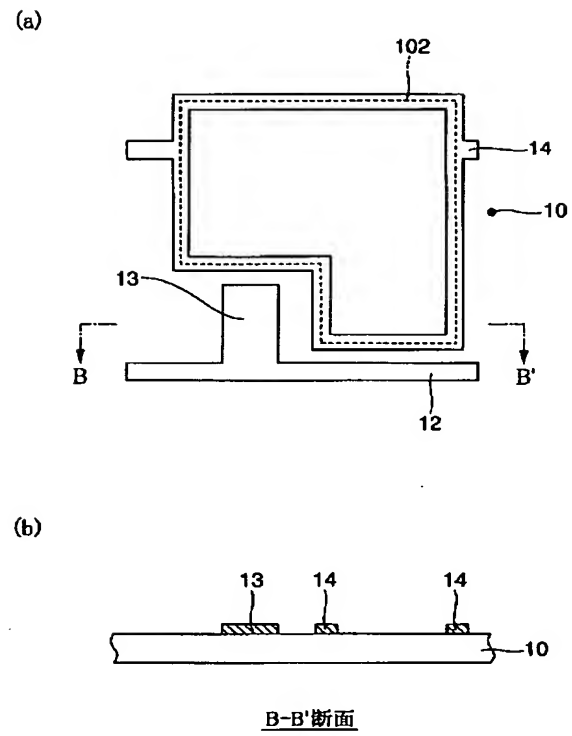
【図 2】



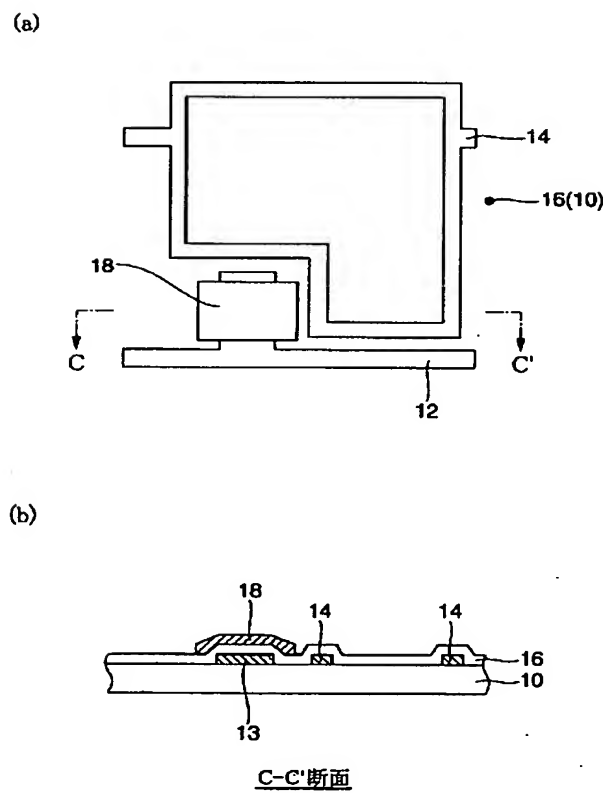
【図 3】



【図 4】

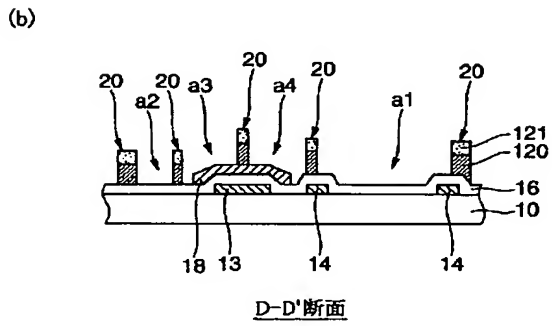
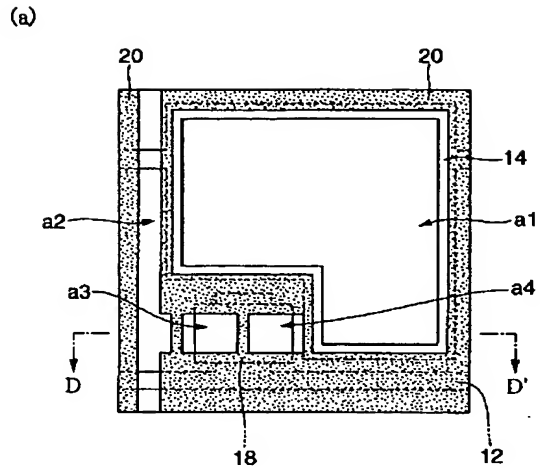


【図 5】



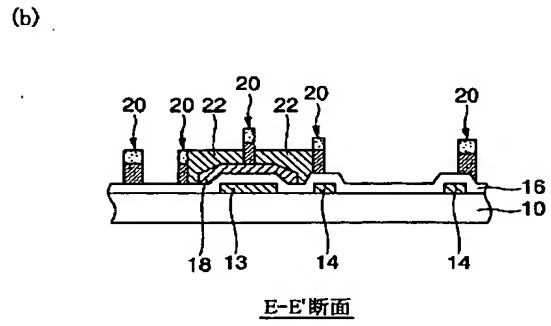
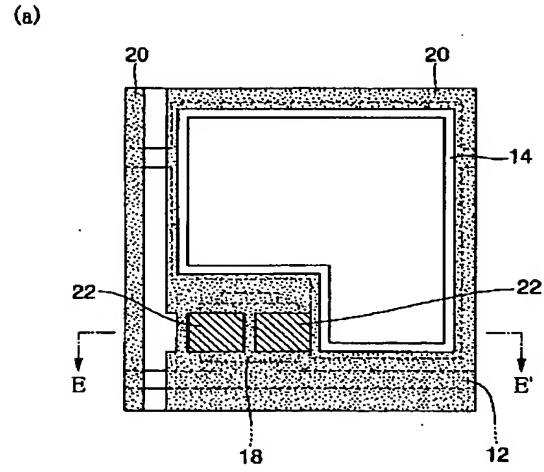


【図 6】

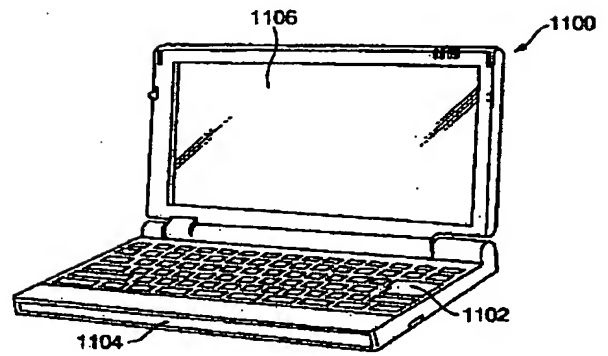
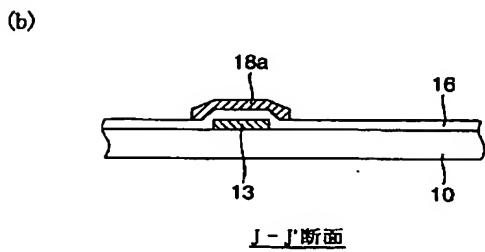
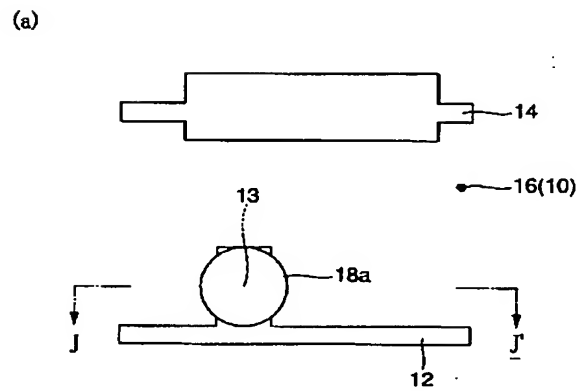


【図 12】

【図 7】

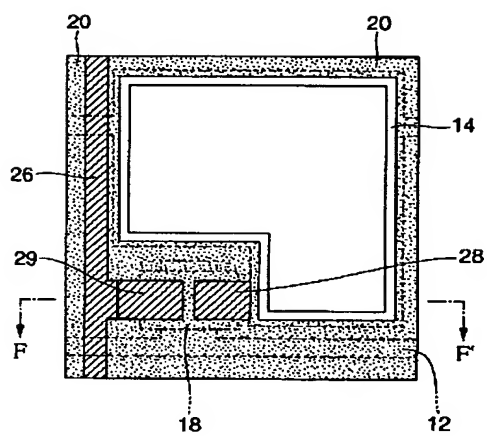


【図 13】

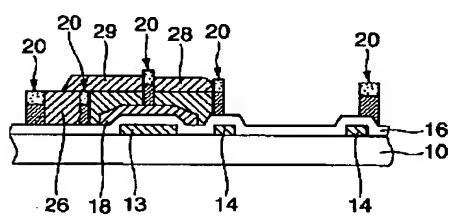


【図 8】

(a)



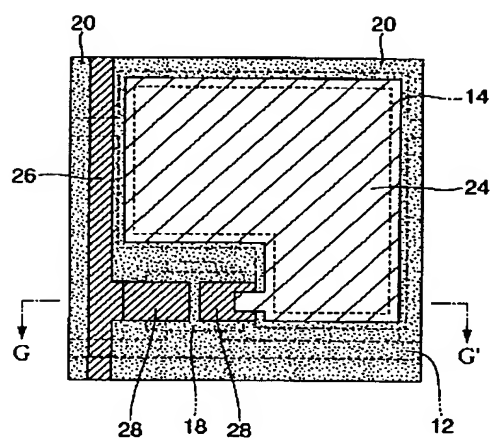
(b)



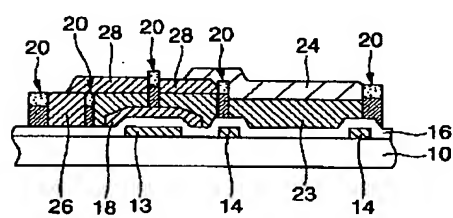
F-F'断面

【図 9】

(a)

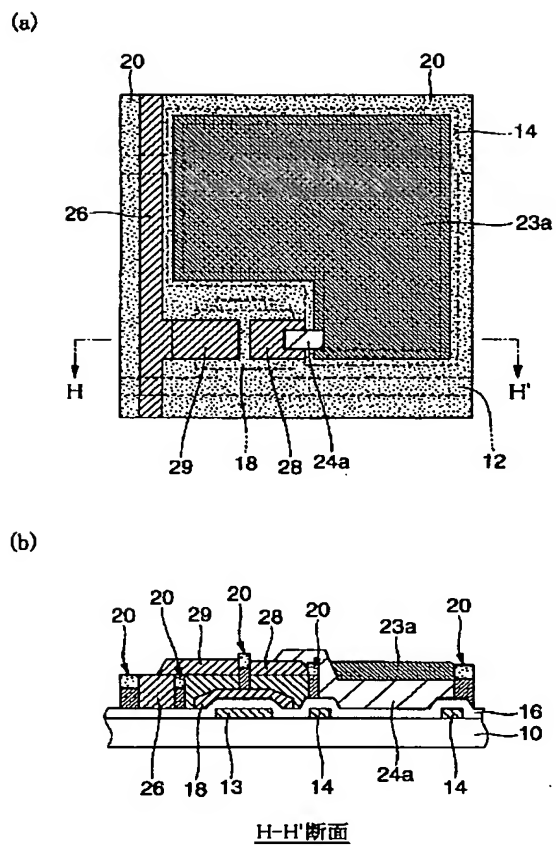


(b)

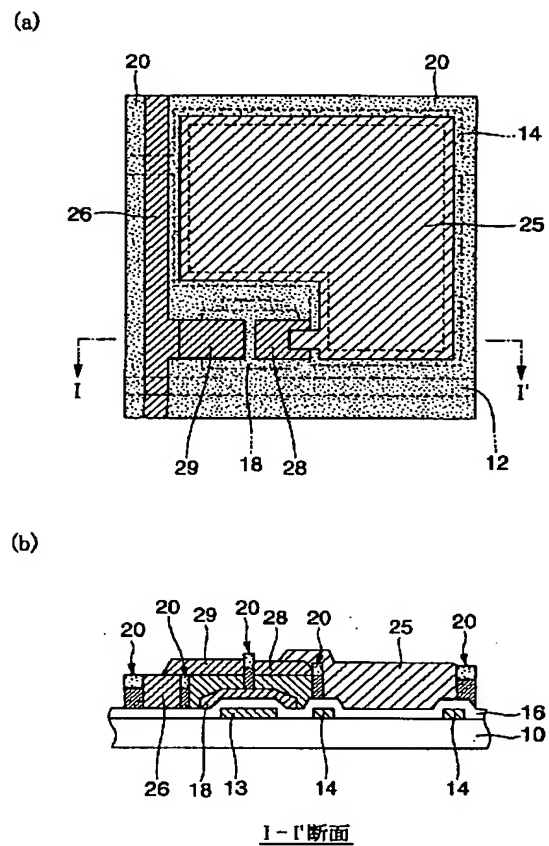


G-G'断面

【図 10】



【図 11】



フロントページの続き

Fターム(参考) 2H091 FA02Y FA34Y FB03 FC12  
 GA02 GA13 LA12 LA15  
 2H092 JA26 JA34 JA37 JA41 JB22  
 JB31 JB51 JB56 JB61 KB04  
 MA05 MA07 MA13 MA18 NA27  
 NA29